**低功耗前端设计课程**

1. **课程时长**： 2天（9:00-17:00）

预计上课日期为6月29 日-30日（周五、周六）

上课地点：苏州工业园区金鸡湖大道1355号国际科技园二期E401

**课程费用：**

- 4500元/人（含听课、讲义，午餐，茶歇等费用），满10人即开班。

- 2018年6月18日前报名并缴费成功享9折优惠

- 本课程有课后测验，合格者将颁发结业证书

1. **授课对象**：

半导体产业相关在职人士或有相关技术或学生需求者，有数字集成电路方面工作2年经验尤佳。

3. **课程大纲**：

1. 芯片功耗的组成。
	1. 静态功耗的组成，及其计算公式，及降低静态功耗的方法概述。引出power gating的概念。
	2. 动态功耗的组成，及其各部分的计算公式，及降低动态功耗的各种方法概述。提出toggle rate的概念，讲述降低toggle rate的方法。引出DVFS的概念。
	3. 动态功耗与静态功耗的冲突。
2. Low power methods
	1. Clock gating
	2. 门级功耗优化
	3. Multi-VDD power design
	4. Power Gating
	5. DVFS
	6. Multi-Threshold logic
3. Multi-Threshold cell
	1. Multi-VT cell的分类及各自优缺点。
	2. 使用multi-VT cell的方法及会给漏电带来的好处。
4. 芯片时钟架构的低功耗设计考虑，如何做到auto clk gating等
	1. 典型的时钟结构，讲解clock divider，clock gate，OCC，clock mux的各种结构及其优缺点。重点讲解目前芯片常用的clock组件的结构。
	2. clock gating讲解，clock structure中各层级clock gating的摆放方法及意义。动态clock gating及静态clock gating的区别及作用。
5. POWER GATING
	1. Power gating overview
		1. Dynamic and leakage power介绍
		2. Power gating的对系统的影响
	2. power gating cell的类型及优缺点，目前芯片中常用power gating cell介绍。
	3. power gating cell的摆放方法介绍。
	4. 芯片power gating domain的结构介绍。
	5. isolation介绍
		1. 为什么要isolation
		2. output or input Isolation
		3. interface protocols and isolation
	6. State retention and restore methods
		1. Retention registers
		2. Power controller for retention
		3. Partial vs full state retention
		4. System level issues and retention
	7. Power gating control
		1. Power gating 控制时序介绍
		2. 握手机制
		3. Recommendation and pitfalls for power gating controllers
	8. Architectural issues for power gating
		1. Hierarchy and power gating
		2. Power network and their control: (1) external power rail switching (2) on-chip power gating.
		3. Power state table and AON logic
6. Multi-voltage design
	1. 为什么要multi-voltage design
	2. multi-voltage 带来的挑战
	3. level-shift cell的介绍
		1. 双向level shift介绍
		2. 高电压到低电压的转变的level-shift
		3. 低电压到高电压转变的level-shift
		4. level shift 的自动插入
7. requency and voltage scaling design
	1. Dynamic power and energy
	2. Voltage scaling approaches
	3. DVFS (dynamic voltage and frequency scaling)
	4. AVS (adaptive voltage scaling)
	5. Level shift and isolation
	6. Voltage scaling interface --- impact to timing
	7. Control of voltage scaling
8. Memory低功耗设计
	1. Memory standby
	2. Memory retention
	3. Memory power down
	4. Dual rail memory and single rail memory
9. IO /模拟模块的低功耗设计考虑
	1. IO/analog IP retention
	2. IO/analog IP power down
10. 总线的低功耗设计
	1. AXI c-channel
	2. Dynamic clock switching and gating for bus
11. DDR 低功耗设计
	1. power down,
	2. light sleep;
	3. retention;
	4. DFS
12. CPU 功耗设计考虑
	1. DVFS
	2. Standby and clock gating
	3. Power down
	4. Wake up mechanism.
13. 系统级功耗设计考虑
	1. power domain partition --- logical and physical hierarchy
	2. critical timing path
	3. power gating topologies
	4. in-rush current management
	5. decoupling capacitor insertions
14. UPF introduction
	1. Power domain commands
	2. supply net, supply set and supply port
	3. ISO insert commands
	4. LS insert commands
	5. PSW insert commands
	6. Power state table introduction
	7. MEM UPF, ANALOG UPF

**师资简介：**

教育背景 东南大学国家asic工程中心，硕士。

工作经历

现任某知名通信大公司研发主管

先后就职过多家大型fabless公司，从事于iot芯片设计，5G芯片功耗控制设计等。

具有丰富的IC阅历及实战项目经验，曾给做过多次企业内训：soc low power设计等课程。